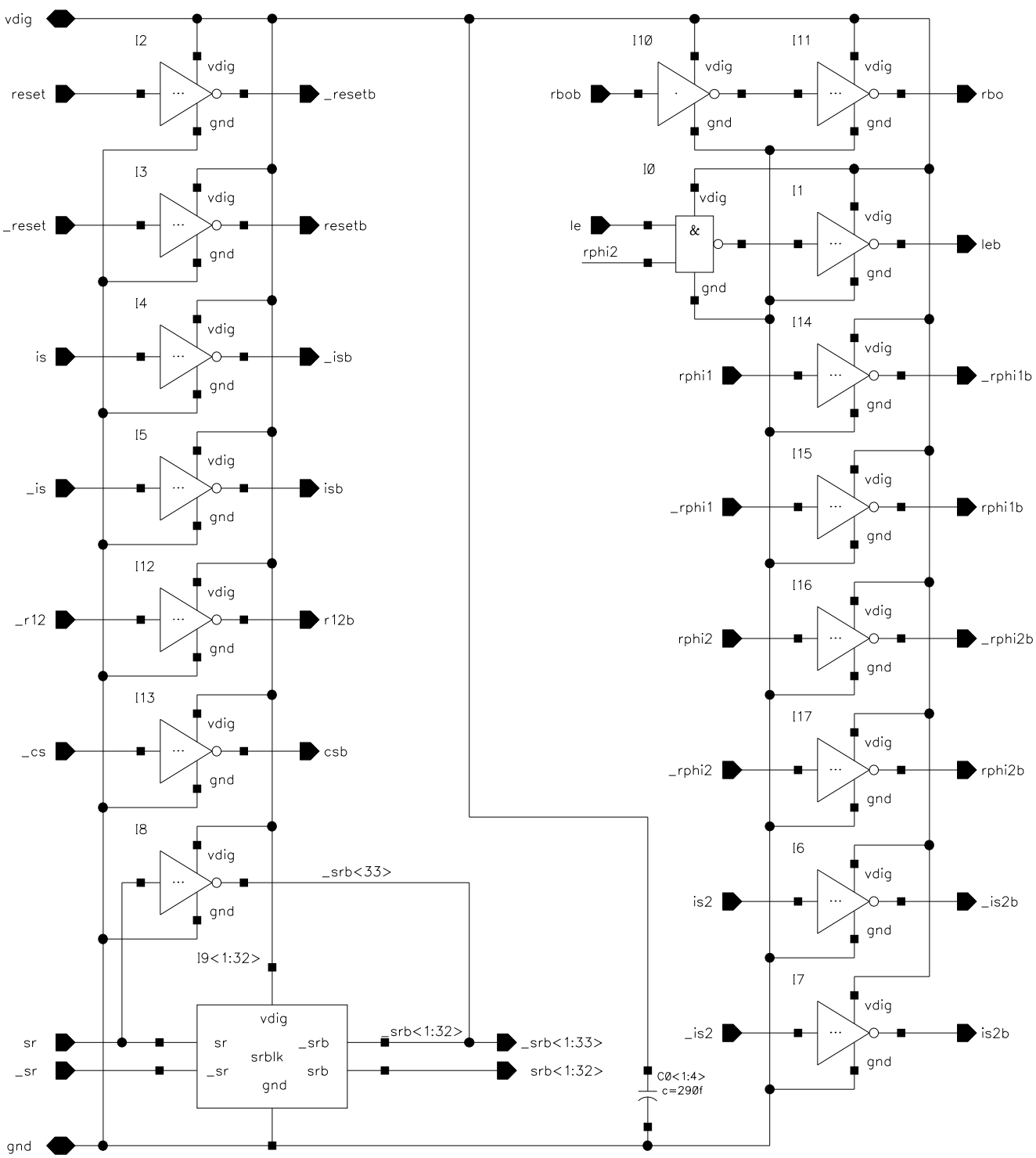
stree


vdig
I2
reset
_resetb
I3
_reset
resetb
I4
is
_isb
I5
_is
isb
I12
_r12
r12b
I13
_cs
csb
I8
_srb<33>
I9<1:32>
sr
_sr
srblk
_srb<1:32>
_srb<1:33>
srb<1:32>
gnd
I10
rbob
rbo
I0
le
rphi2
&
I1
leb
I14
rphi1
_rphi1b
I15
_rphi1
rphi1b
I16
rphi2
_rphi2b
I17
_rphi2
rphi2b
I6
is2
_is2b
I7
_is2
is2b
C0<1:4>
c=290f